



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07254821 A**(43) Date of publication of application: **03.10.95**

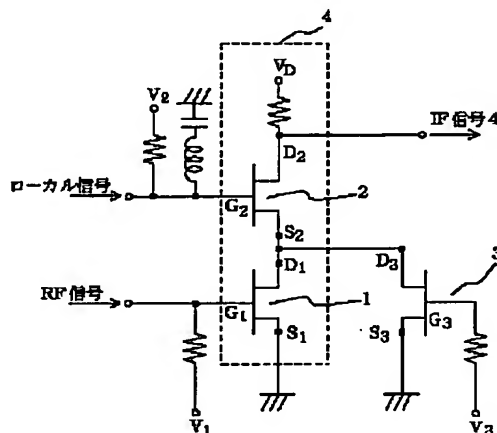
(51) Int. Cl.

**H03D 7/12**  
**H03D 7/00**(21) Application number: **06043421**(71) Applicant: **NEC CORP**(22) Date of filing: **15.03.94**(72) Inventor: **MIYA TATSUYA****(54) FREQUENCY CONVERTER****(57) Abstract:**

**PURPOSE:** To obtain a frequency converter with high mutual conductance and with a low noise figure able to drive a load of a low impedance without a matching circuit by providing a 3rd FET in parallel to a 1st FET of a dual gate FET.

**CONSTITUTION:** A FET 3 is connected in parallel with a FET 1 of a dual gate FET 4. A voltage of a gate  $G_3$  is biased so that a drain current nearly equal to a set drain current of the FET 2 supplied to the FET 3. An RF signal is inputted to a gate  $G_1$  and a local signal (local oscillating signal) is inputted to the gate  $G_2$ . An IF (intermediate frequency) signal is extracted from a drain  $D_2$ , a gate bias  $V_1$  of the FET 1 is set in the vicinity of a pinch-off voltage. A gate bias  $V_2$  of the FET 2 is set so that the drain current at its operating point is close to nearly a half of its short-circuit current and a saturation current.

COPYRIGHT: (C)1995,JPO



(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 D 7/12	C			
	Z			
7/00	D			
	E			

審査請求 未請求 請求項の数7 O L (全 6 頁)

(21) 出願番号 特願平6-43421

(22) 出願日 平成6年(1994)3月15日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 宮 龍也

東京都港区芝五丁目7番1号 日本電気株式会社内

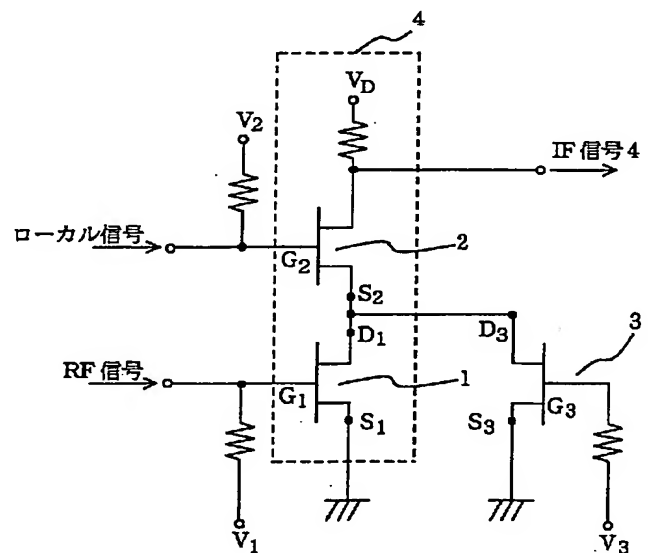
(74) 代理人 弁理士 若林 忠

## (54) 【発明の名称】 周波数変換器

## (57) 【要約】

【目的】 低雑音指数、高変換利得の特性を有し50Ω系負荷を駆動することが出来る周波数変換器を提供する。

【構成】 周波数混合素子として第1、第2FETで成る2ゲートFETが用いられ、第1FETに並列に第3FETが接続されている。第1FETのゲートはほぼピンチオフ電圧に設定され、それによって低雑音指数が保証される。第2FETは、高 $g_m$ に設定され、周波数変換された信号を出力する。第3FETは第2FETを流れる電流の流路を提供するように、ゲートバイアスが設定される。したがって、第2FETは、第1FETのゲート電圧に関係なく高 $g_m$ に設定され、それによって高変換利得が保証される。



## 【特許請求の範囲】

【請求項 1】 第 1 の信号を入力する第 1 のゲートと第 2 の信号を入力する第 2 のゲートを有するデュアルゲート FET を周波数混合素子として備えている周波数変換器において、第 1 のゲートに関する FET 部分を第 1 の FET、第 2 のゲートに関する FET 部分を第 2 の FET とするとき、

第 1 の FET に並列に接続されていて、第 2 の FET の動作点におけるドレイン電流にほぼ等しいドレイン電流が流れるように、ゲート電圧がバイアスされている第 3 の FET を有することを特徴とする周波数変換回路。

【請求項 2】 第 1 のゲートが、ほぼピンチオフ電圧にバイアスされている、請求項 1 に記載の周波数変換器。

【請求項 3】 デュアルゲート FET および第 3 の FET はデプレッション形 FET であり、第 2 の FET のドレイン電流-電圧特性の、ゲート、ソース間短絡時における飽和ドレイン電流を  $I_{DSS}$  とするとき、第 2 の FET の動作点におけるドレイン電流が、ほぼ  $(1/2) I_{DSS}$  になるように、第 2 のゲートのバイアス電圧が設定される、請求項 2 に記載の周波数変換器。

【請求項 4】 第 3 の FET のチャネル幅が第 2 の FET のチャネル幅のほぼ  $1/2$  である、請求項 1 または 3 に記載の周波数変換器。

【請求項 5】 デュアルゲート FET および第 3 の FET がセルフバイアスされている、請求項 3 に記載の周波数変換器。

【請求項 6】 第 2 のゲートと共通端子との間に、第 2 の信号の周波数を共振周波数とする直列共振回路が接続され、周波数変換された信号は第 2 の FET のドレインから出力される、請求項 2 に記載の周波数変換器。

【請求項 7】 請求項 2 に記載の周波数変換器を用いたモノリシック半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、周波数混合素子としてデュアルゲート FET を用いた周波数変換器に関し、特にマイクロ波帯の信号を扱う周波数変換器に関する。

## 【0002】

【従来の技術】 従来、周波数変換器（以下ミキサと略称する）には、デュアルゲート FET が周波数混合素子として用いられている。図 7 は、従来のデュアルゲート FET ミキサの構成図である。図 7 のミキサは、周波数混合用のデュアルゲート FET 5、RF 周波数帯整合回路 6、ローカル周波数帯整合回路 7、IF 周波数帯整合回路 8 によって構成されている。ここで、デュアルゲート FET 5 の各端子に付けられた記号  $G_{11}$ 、 $G_{12}$ 、 $D$ 、 $S$  はそれぞれ第 1 ゲート、第 2 ゲート、ドレイン、ソースを表わす。図 7 に示されている様に RF 信号は整合回路 6 を経由して第 1 ゲートに入力され、ローカル信号は整合回路 7 を経由して第 2 ゲートに入力される。また IF

信号は整合回路 8 を経由してドレインから取り出されるのが一般的である。周波数混合は、主に、第 1 ゲートからみた、FET 5 の相互コンダクタンス（以下  $g_m$  と略記する。）が、第 2 ゲートに入力されたローカル信号によってローカル周波数の変調をうけ、第 1 ゲートに入力された RF 信号が第 1 ゲート・ソース間容量を介して  $g_m$  の変調成分と結合することによって生じると考えることができる。生成された周波数混合成分のうちの IF 周波数成分の大きさは、 $g_m$  をローカル角周波数  $\omega_0$  でフーリエ展開した式

【0003】

【数 1】

$$g_m = \sum_{k=0}^{\infty} g_k \cos k \omega_0 t$$

の中の角周波数  $\omega_0$  で振動する項の係数  $g_1$  に依存し、 $g_1$  が大きい程、RF 周波数から IF 周波数への変換利得が大きくなる。 $g_1$  を大きくするためには、 $g_m$  自体を大きくする必要があるが、実際にデュアルゲート FET をミキサとして使用する場合は、雑音指数を低くするために、第 1 ゲートをソースに短絡した時の飽和ドレイン電流よりかなり小さなドレイン電流になるように第 1 ゲートを深くバイアスするのが通常である。すなわち、FET の遮断電圧（以下  $V_{th}$  と略称する）に近い電圧を第 1 ゲートに印加して、電流を抑えて使用している。図 8 は、デュアルゲート FET を、2 つの FET 11、12 の直列接続で表現した図で、図 7 のデュアルゲート FET 5 とは、回路としては等価である。以下の記述で、デュアルゲート FET 5 の、FET 11 に等価な部分を第 1 ゲートに関する FET と記し、FET 12 に等価な部分を第 2 ゲートに関する FET と記す。ところで、上記に示す従来のデュアルゲートミキサでは、電流を小さく抑えられているため  $g_m$  も低下してしまい、その結果、 $g_1$  も小さくなって変換利得を大きくする事ができなかった。動作点での  $g_m$  を大きくするために FET の  $V_{th}$  も浅くするという工夫もされている。

【0004】 しかし、従来のデュアルゲート FET の、第 1、第 2 ゲートに関する FET は同一の構造に形成され、両ゲートに関する遮断電圧  $V_{th}$  は等しいため、第 1 ゲートに関する遮断電圧を浅くすると、第 2 ゲートに関する  $V_{th}$  も浅くなり、その結果、大信号であるローカル信号で、第 2 ゲートが振られたときに、第 2 ゲートによる FET の遮断状態が長くなり、 $g_1$  の増大に限界を生じるといった問題があった。

【0005】 この問題を解決するためのデュアルゲート FET が特開平 1-289304 号公報に記載されている。このデュアルゲート FET は、第 1 ゲート、第 2 ゲートに関する遮断電圧  $V_{th}$  が異なるように設定されている。図 9、図 10 は、同公報記載のデュアルゲート FET の断面構造を示す図である。図 9 の FET は、第 2 ゲート下の活性層の不純物濃度  $n_2$  が第 1 ゲート下の活性

層の不純物濃度  $n_1$  よりも大きくなるように形成されている。図 10 の FET は、第 2 ゲート下の活性層の厚さが第 1 ゲート下の活性層の厚さよりも厚く形成されている。このように、各々のゲート下の活性層の注入条件を変える事により第 1 ゲートに関する  $V_{th}$  を浅くして、動作点で  $g_1$  をなるべく大きくし、かつ第 2 ゲートに関する  $V_{th}$  を深くして、上記の問題を防ぐようにしたものである。この従来技術によって多少の変換利得の増大はあるが、電流そのものが第 1 ゲートで決定されて小さいため、第 1 ゲートの  $V_{th}$  を浅くしても  $g_1$  の増大には限界があった。

【0006】

【発明が解決しようとする課題】従来のデュアルゲート FET ミキサは、上記のように雑音指数を低くするために電流を小さく抑えていた。その結果、動作点での  $g_m$  が小さくなり、変換利得を大きくする事ができなかった。 $g_m$  を大きくするために FET の  $V_{th}$  を浅くしたり、上記公報記載の従来技術に示されているように各ゲート下の注入条件を変えても、 $g_m$  の増大には限界があった。さらに、電流が小さいため、負荷の駆動能力がないので、50  $\Omega$  系（特性インピーダンス 50  $\Omega$  の同軸ケーブル）と直接接続できず、出力に整合回路、またはインピーダンス変換器を接続して信号を取り出さなければならなかった。

【0007】本発明の目的は、低雑音指数で、かつ、低インピーダンスの負荷をも整合回路なしに駆動することが出来る高  $g_m$  の周波数変換器を提供することにある。

【0008】

【課題を解決するための手段】上記の目的を達成するために、本発明の周波数変換器は、第 1 の信号を入力する第 1 ゲートと第 2 の信号を入力する第 2 のゲートを有するデュアルゲート FET を周波数混合素子として備えている周波数変換器において、第 1 のゲートに関する FET 部分を第 1 の FET、第 2 のゲートに関する FET 部分を第 2 の FET とするとき、第 1 の FET に並列に接続されていて、第 2 の FET の動作点におけるドレイン電流にほぼ等しいドレイン電流が流れるように、ゲート電圧がバイアスされている第 3 の FET を有し、第 1 のゲートは、ほぼピンチオフ電圧にバイアスされている。

【0009】デュアルゲート FET および第 3 の FET はデプレッション形 FET であり、第 2 の FET のドレイン電流—電圧特性の、ゲート、ソース間短絡時における飽和ドレイン電流を  $I_{DSS}$  とするとき、第 2 の FET の動作点におけるドレイン電流が、ほぼ  $(1/2) I_{DSS}$  になるように、第 2 のゲートのバイアス電圧が設定されることが望ましい。また、第 3 の FET のチャネル幅が第 2 の FET のチャネル幅のほぼ  $1/2$  であることが望ましい。更に、デュアルゲート FET および第 3 の FET をセルフバイアスすることができる。第 2 のゲートと共通電位との間に、第 2 の信号の周波数を共振周波

数とする直列共振回路を接続し、周波数変換された記号を第 2 の FET のドレインから出力することが出来る。

【0010】上記の周波数変換器を、他の半導体回路と共にモノリシックに構成することが望ましい。

【0011】

【作用】このように、第 3 の FET を第 1 の FET に並列に接続し、第 2 の FET から第 3 の FET に至る電流の流路を設定することにより、第 1 の FET のゲートバイアスの設定値にかかわらず、第 1 のゲートから見た周波数変換器の相互コンダクタンスを大きく設定することが可能になる。したがって、第 1 の信号の雑音指数（以下、NF と記す）を低減するために、第 1 のゲートを、ほぼピンチオフ電圧にバイアスしても、第 2 の FET の動作点における相互コンダクタンスを高く設定することにより、第 1 の信号に対する高い周波数変換利得（高ゲイン）を得ることが出来る。このようにして、低 NF、高ゲインの周波数変換器を実現することができる。

【0012】デュアルゲート FET および第 3 の FET に、デプレッション形 FET を用いると、ゲート、ソース間を短絡したときの飽和ドレイン電流  $I_{DSS}$  を基準にしてバイアスを設定することが出来、バイアスの設定が容易である。第 2 の FET の動作点におけるドレイン電流を  $(1/2) I_{DSS}$  に設定すると、第 2 の信号が、大振幅の信号であっても、電流クリップの範囲が狭くなり、周波数変換利得を高くすることができる。

【0013】いま、第 2、第 3 の FET の  $I_{DSS}$  をそれぞれ  $I_{DSS2}$ 、 $I_{DSS3}$ 、とし、第 3 の FET のチャネル幅を第 2 の FET のチャネル幅の  $1/2$  に形成すると、 $I_{DSS3} = (1/2) I_{DSS2}$  になる。一方、第 1 の FET のゲートバイアスをピンチオフ電圧  $V_{th}$  付近に設定した場合には、第 1 の FET のドレイン電流  $I_{D1}$  は小さくなり、第 2、第 3 の FET のドレイン電流  $I_{D2}$ 、 $I_{D3}$  はほぼ等しくなる。したがって、第 2 の FET の動作点におけるドレイン電流を  $(1/2) I_{DSS2}$  に設定するときには、第 3 の FET の飽和ドレイン電流が  $(1/2) I_{DSS2} = I_{DSS3}$  になるようにし、第 3 の FET のゲートバイアスを設定しなければならない。これは、第 3 の FET のゲート、ソース間を短絡することによって容易に達成される。デュアルゲート FET および第 3 の FET を、上記のようにセルフバイアスすると、周波数変換器は自動的に上述の作用を行うことが出来る。

【0014】直列共振回路を第 2 のゲートと共通端子（接地端子）との間に接続すると、その直列共振回路は第 2 の信号に対してはフィルタとして働くと共に、周波数変換された出力信号の周波数に対しては低インピーダンスになる。その結果、第 2 の FET は、出力信号に対しては共通ゲート接続（ゲート接地）の増幅器として動作し、周波数変換利得を増加させる。

【0015】周知のように、モノリシックに搭載される複数の FET は、ゲート・ソース間電圧とドレイン電流

密度との関係が同一になるように構成することが出来る。従って、本発明の周波数変換器を、その他の回路と共に、モノリシックに構成することにより、ゲートバイアスの設定が容易になる。

【0016】このように、本発明によれば、第1のFETについてはゲート・ソース短絡時の飽和電流よりかなり小さなドレイン電流が流れるように第1ゲートを深くバイアスして、雑音指数を小さくし、第2のFETの電流の大部分を第3のFETに流すようにする事により第2のFETの動作点を高相互コンダクタンスに設定する事が可能になる。このようにして、低NFで変換利得の大きな周波数変換器を実現することが出来る。

【0017】

【実施例】以下、図面を参照して本発明の実施例について説明する。図1は、本発明の周波数変換器の第1の実施例の回路図である。本実施例は、本発明の周波数変換器をFM受信機に適用した例である。

【0018】周波数変換器は、デュアルゲートFET4とFET3を備えている。これらのFETは、いずれもデプレッション型NチャネルFETである。以下の記述において、デュアルゲートFET4の、ゲートG<sub>1</sub>に関するFET部分をFET1と記し、ゲートG<sub>2</sub>に関するFET部分をFET2と記す。また、それぞれのFETを、ゲート、ソース間を短絡して飽和領域で動作させたとき、この動作をI<sub>DSS</sub>動作と記し、このときの飽和ドレイン電流を短絡・飽和電流I<sub>DSS</sub>と記す。

【0019】本実施例において、デュアルゲートFETのソース、すなわちFET1のソースS<sub>1</sub>は接地され、ドレイン、すなわちFET2のドレインD<sub>2</sub>は負荷抵抗を経由して駆動電源V<sub>D</sub>に接続されている。また、FET3はFET1に並列に接続され、FET2の設定されたドレイン電流にほぼ等しいドレイン電流が流れるように、ゲートG<sub>3</sub>の電圧はバイアスされている。このように、FET3を付加したことによって、FET2からFET3に至る電流路が設定され、FET1のゲートバイアスに関わりなく、FET2の動作点を高g<sub>m</sub>に設定することが出来る。図1に示されているように、RF信号はゲートG<sub>1</sub>に入力され、ローカル信号（局部発振信号）はゲートG<sub>2</sub>に入力される。IF（中間周波）信号は、ドレインD<sub>2</sub>から取出される。FET1のゲートバイアスV<sub>1</sub>は、その雑音指数を低減させるために、ピンチオフ電圧付近に設定されている。FET2のゲートバイアスV<sub>2</sub>は、そのドレイン電流が(1/2)I<sub>DSS2</sub>付近に動作点をもつように設定されている。ここでI<sub>DSS2</sub>は、FET2の短絡・飽和電流である。FET3のゲートバイアスV<sub>3</sub>は、FET3のドレイン電流がFET2のドレイン電流(1/2)I<sub>DSS2</sub>とほぼ同じ大きさになるように設定されている。

【0020】次に本実施例の動作を説明する。RF信号はゲートG<sub>1</sub>に入力され、ローカル信号はゲートG<sub>2</sub>に入

力される。ゲートG<sub>1</sub>のゲートバイアスV<sub>1</sub>はピンチオフ電圧付近に設置されているので、FET1は低NFであるけれど、そのドレイン電流は小さくなる。その結果、FET3には、FET2のドレイン電流とほぼ同じ大きさのドレイン電流が流れる。通常、ローカル信号は大振幅の信号であるが、FET2のバイアス電流が(1/2)I<sub>DSS2</sub>に設定されているので電流クリップが生ずる範囲が小さく、変換利得が向上する。

【0021】前記したように、本発明においてはFET1のゲートバイアスV<sub>1</sub>のとり方に関係なく、FET2に電流を流すことが出来る。したがって、FET2の動作点におけるg<sub>m</sub>を大きくして高い変換利得を得ることが出来る。本実施例では、FET1、2、3のチャネル幅が200μm、V<sub>th</sub>が-1.0Vであって、V<sub>1</sub>は-0.5~-0.8V、V<sub>2</sub>は1~3V、V<sub>3</sub>は-0.2~-0.4Vに設定されている。この設定によって、低雑音指数で、整合回路なしで50Ω系負荷を駆動できる程度に高出力の周波数変換器を実現することが出来る。

【0022】図2は、本発明の第2の実施例の回路図である。本実施例においては、FET3のチャネル幅をFET2のチャネル幅の約2分の1とし、FET2のゲートバイアスV<sub>2</sub>は、図1の実施例と同様に、飽和ドレイン電流が(1/2)I<sub>DSS2</sub>になるように設定されている。FET3は、ゲート、ソース間が短絡され、したがって飽和領域においては短絡・飽和電流I<sub>DSS3</sub>=(1/2)I<sub>DSS2</sub>が流れる。このように、FET3のゲート、ソース間を短絡するだけで、FET2の設定されたドレイン電流(1/2)I<sub>DSS2</sub>がFET3を流れるように、FET3のドレイン電流特性を設定することが出来る。このようにして図2の回路は、図1の回路と同様の効果を達成することが出来る。

【0023】図3は、本発明の第3の実施例の回路図である。本実施例は、FET1、FET3のソース、接地間に、抵抗とキャパシタとの並列接続を接続し、セルフバイアス動作としたものである。FET1のセルフバイアス回路は、FET1のゲート・ソース電圧がピンチオフ電圧付近になるようにバイアス電圧を発生する。FET3のセルフバイアス回路は、FET3の飽和ドレイン電流がFET2のドレイン電流に等しくなるように、バイアス電圧を発生する。

【0024】図4および図5は本発明のデュアルゲートFET周波数変換器のFET構造を表わす図である。等価回路的には図4と図5は同じであるが、図5では図4の各ゲートに関するFETの各々にドレイン、ソース電極を設けて各々を単独のFETとして構成している点が図4と異なる。

【0025】図6は本発明の第4の実施例の回路図である。本実施例は、図1の回路のFET2のゲート回路に直列共振回路を設けた周波数変換器である。本実施例の周波数変換器を構成するFETの各ゲートバイアスは、

図 1 の装置と同様に設定される。直列共振回路の共振周波数は、ローカル信号の周波数に等しく、この共振回路はローカル信号に対してはフィルタとして作用する。一方、この共振回路は I F 信号に対しては低インピーダンスになる。したがって、F E T 2 は I F 信号に対してはゲート接地接続の増幅器として働く。その結果、図 6 の周波数変換器は、図 1 の周波数変換器よりも高ゲインである。

#### 【0026】

【発明の効果】以上説明したように、本発明は次の効果を有する。

(1) 第 3 の F E T を第 1 の F E T に並列に接続することにより、第 1 の F E T のゲートバイアスの設定値の如何にかかわらず、周波数変換信号を出力する第 2 の F E T を高  $g_m$  に設定することが出来、その結果、周波数変換利得の大きな周波数変換器を実現することが出来る。第 2 の F E T が高  $g_m$  で動作することが出来るので第 2 の F E T に比較的大きな電流を流すことができ、そのため、周波数変換器は、 $50\Omega$  系負荷を直接、駆動することが出来る。その結果、周波数変換器周辺の設計に自由度が生じる。

(2) 第 1 の F E T のゲートバイアスをピンチオフ電圧付近に設定することにより、高利得の周波数変換特性を失うことなく、低雑音指数を実現することが出来る。

(3) 第 2 の F E T のドレイン電流の動作点を、該 F E T の短絡・飽和電流の  $1/2$  に設定することにより、第 2 の F E T に入力される信号の振幅が大きくても電流クリップの範囲を小さくし、変換利得を高くすることが出来る。

(4) 第 3 の F E T のチャネル幅を第 2 のチャネル幅の  $1/2$  にすることにより、第 3 の F E T のゲート、ソース間を短絡するのみで、上記 (3) の効果を達成することが出来る。

(5) ゲート電圧をセルフバイアスすることにより、複雑なプロセスを経ずに上記 (1) 乃至 (4) の効果を達成することが出来る。

(6) 第 2 の F E T のゲートと共通端子間に第 2 の信号の周波数を共振周波数とする直列共振回路を設けることにより、周波数変換出力信号に対して第 2 の F E T を共通ゲート接続の増幅器として動作させることが出来、それによって周波数変換利得を向上させることが出来る。

(7) 周波数変換器を他の回路と共にモノリシック集積回路として形成することにより、ゲートバイアスの設定が容易になり、周波数変換器ばかりでなく、その周辺回路の設計が容易になる。

#### 【図面の簡単な説明】

【図 1】 本発明の第 1 の実施例の回路図である。

【図 2】 本発明の第 2 の実施例の回路図である。

【図 3】 本発明の第 3 の実施例の回路図である。

【図 4】 本発明の周波数変換器の F E T 構造を表わす図である。

【図 5】 本発明の周波数変換器の F E T 構造を表わす図である。

【図 6】 本発明の第 4 の実施例の回路図である。

【図 7】 従来のデュアルゲートミキサの構成図である。

【図 8】 デュアルゲート F E T を 2 つの F E T の直列接続で表現した図である。

【図 9】 デュアルゲート F E T の従来例の断面構造を示す図である。

【図 10】 デュアルゲート F E T の従来例の断面構造を示す図である。

#### 【符号の説明】

1, 2, 3 F E T

4, 5 デュアルゲート F E T

6 R F 周波数帯整合回路

7 ローカル周波数帯整合回路

8 I F 周波数帯整合回路

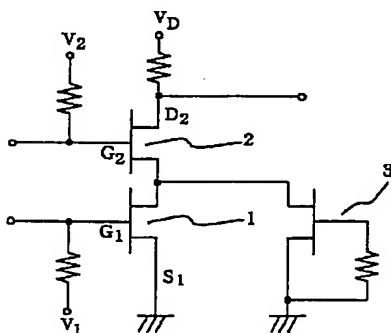
$G_1, G_2, G_{11}, G_{12}$  ゲート

$D, D_1, D_2$  ドレイン

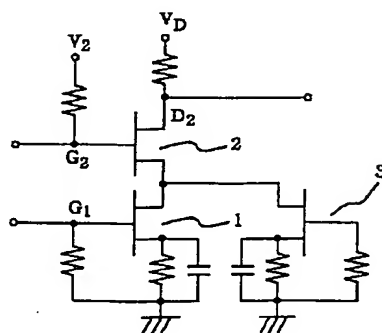
$S, S_1, S_2$  ソース

$n, n^*, n_1, n_2$  不純物濃度

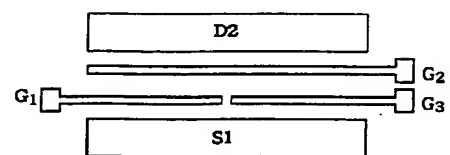
【図 2】



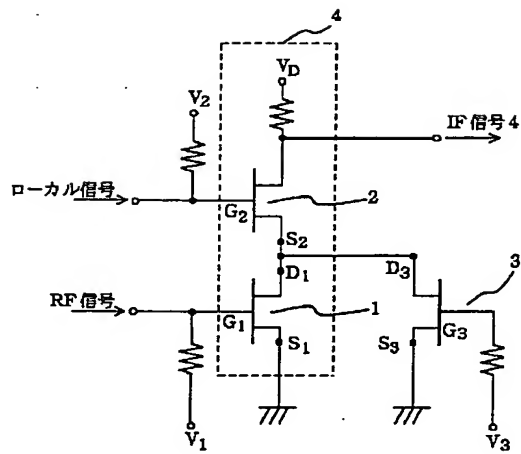
【図 3】



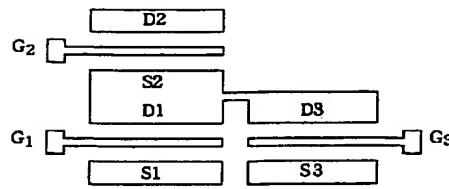
【図 4】



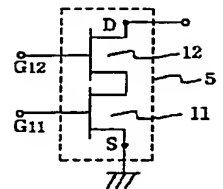
【図 1】



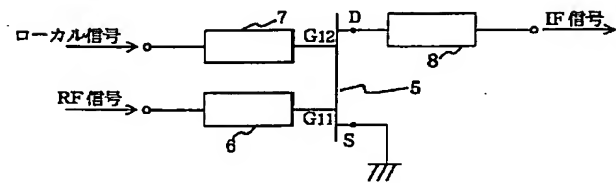
【図 5】



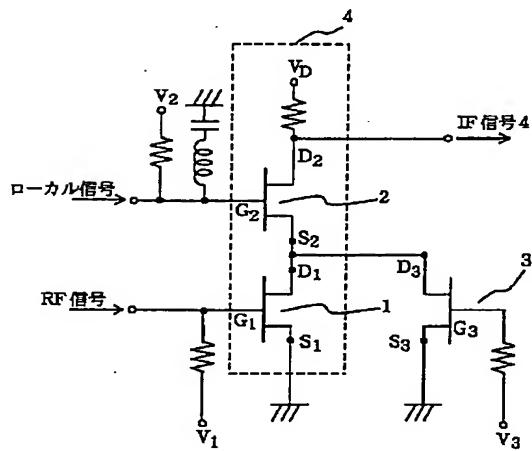
【図 8】



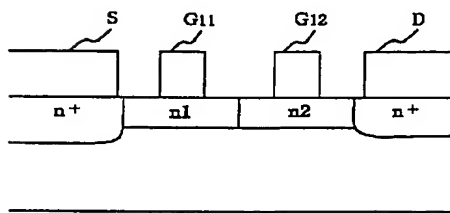
【図 7】



【図 6】



【図 9】



【図 10】

